

출력 일자: 2002/5/31

발송번호 : 9-5-2002-019093000

수신 : 서울 강남구 역삼1동 824-19 동경빌딩

발송일자 : 2002.05.30

특허법인코리아나[박해선] 귀하

제출기일 : 2002.07.30

135-934

특허청 의견제출통지서

출원인 명칭 닛뽕덴끼 가부시끼가이샤 (출원인코드: 519980604474)

주소 일본 도오쿄도 미나토꾸 시바 5초메 7방 1고

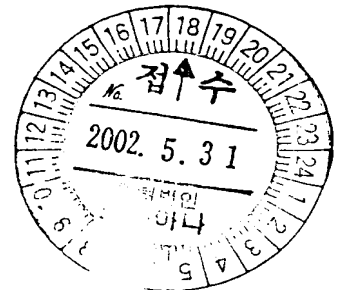
대리인 명칭 특허법인코리아나 외 1명

주소 서울 강남구 역삼1동 824-19 동경빌딩

지정된변리사 박해선

출원번호 10-2000-0035912

발명의 명칭 표준 셀, 표준 셀 어레이 및 표준 셀들을 배치하고루팅하는 시스템 및 방법



이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 제1항 내지 제9항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 본원의 청구항5 내지 청구항12는 청구범위 말미의 기재가 표준셀 배치 및 루팅 방법으로 귀결되게 기재되어야 하나 본원에서는 단지 특징으로 하는 방법이라고만 기재되어 있으므로 보호받고자 하는 청구범위가 불명료한 것입니다.

2. 본원발명의 청구항1 및 청구항2는 표준셀, 청구항3은 표준셀 어레이, 청구항4는 표준셀 배치 및 루팅 프로세싱 시스템, 청구항5 내지 청구항9는 표준셀 배치 및 루팅 방법에 관한 것으로 이들 발명들의 요지는 표준셀형 대규모 집적회로설계를 위한 표준셀의 배치 및 루팅에 관한 것이나,

본원의 청구항1 내지 청구항3은 일본공개특허 평성5-304210호(공개일 93. 11. 16, 인용발명1)의 표준셀 방식의 자동 레이아웃용 셀에서 확장층과 TR 형성용 폴리실리콘층을 갖는 구조로 상하 양쪽에 서의 배선을 가능하게 하기 위하여 높이가 일정한 표준셀에서 동일신호에 대한 단자가 적어도 2개 이상 구비되고 단자와 동일 전위부에 있어 내부의 소자형성 데이터와 데이터로부터 단자까지의 배선 데이터를 구별하는 수단을 구비한 표준셀 구성과 일본공개특허 평성10-144794호(공개일 98. 5. 29, 인용발명2)의 기존 배치배선 소프트웨어를 이용한 표준셀에서 매크로 셀 전류용량의 극대화를 도모하기 위해 글로벌 전원노드와 접지노드를 복수로 구비하고 전력 공급 전원노드선을 구비하여 매크로 셀을 횡방향으로 조합시킴으로 설계자유도와 집적도를 향상시킬 수 있는 반도체 집적회로 구성 및 일본공개특허 평성7-106649호(공개일 95. 4. 21, 인용발명3)의 기판상에 탑재된 초전도 논리 집적회로를 여러 구획으로 분할하고 플로어플랜을 집적회로로 분할 수에 따라 두영역으로 분할한 후 각 분할 부분마다 셀이 균등 배치되도록 전원공급회로와 고주파 전력원 및 각 초전도 논리회로가 상호 임피던스정합되는 회로에 의해 정합되도록 최적의 패턴 레이아웃을 간단하고도 신속하게 자동배치할 수 있는 패턴 레이아웃 방법으로부터 용이하게 발명할 수 있으며,

출력 일자: 2002/5/31

본원의 청구항4 내지 청구항9는 상기 인용발명들과 같은 표준셀어레이 구성에 일본공개특허 평성 8-236634호(공개일 96. 9. 13, 인용발명4)의 배선정보, 셀정보 및 설계기준정보를 입력하는 입력장치와 고정배선정보와 입력정보를 기초로한 배치배선처리부 및 기억 및 출력장치를 구비한 반도체집적회로의 배치배선방법 및 장치와 일본공개특허 평성7-94586호(공개일 95. 4. 7, 인용발명5)의 자동배치배선후의 배선지연정보를 이용한 논리합성물에 의한 지연 최적화에 있어 레이아웃 결과에 대한 셀 위치 및 배선에의 영향을 최소화 할 수 있는 최적 표준셀 선택방법으로부터 용이하게 발명할 수 있습니다. 끝.

[첨 부]

- 첨부 1 일본공개특허공보 평05-304210호(1993.11.16) 1부
- 첨부2 일본공개특허공보 평 10-144794호(1998.05.29) 1부
- 첨부 3 일본공개특허공보 평07-106649호(1995.04.21) 1부
- 첨부4 일본공개특허공보 평08-236634호(1996.09.13) 1부
- 첨부5 일본공개특허공보 평07-094586호(1995.04.07) 1부 끝.

2002.05.30

특허청

심사4국

반도체1 심사담당관실

심사관 이두한



<<안내>>

문의사항이 있으시면 ☎ 042)-481-5983 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터